

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-285120
 (43)Date of publication of application : 31.10.1997

(51)Int.Cl. H02M 3/28
 H02M 1/08
 H03K 17/04
 H03K 17/12

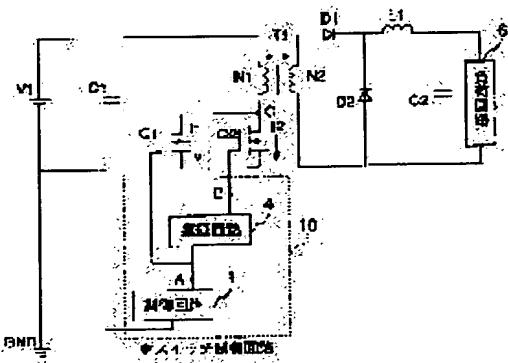
(21)Application number : 08-097844 (71)Applicant : OKI ELECTRIC IND CO LTD
 (22)Date of filing : 19.04.1996 (72)Inventor : OKAMOTO YUJI

(54) MAIN SWITCH CONTROL CIRCUIT OF POWER SOURCE EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a main switch control circuit which controls the loss of a main switch of a power source equipment and restrains it at a low level.

SOLUTION: MOSFET's Q1 and Q2 of a main switch are connected in parallel. The output terminal of a control circuit 1 is connected with the gate of an MOSFET Q1. The output terminal B of a delay circuit 4 is connected with the gate of the MOSFET Q2. By shifting the timing of ON/OFF control of the MOSFET's Q1 and Q2 and controlling them, the switching loss and the conducting loss can be restrained to be low.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the main-switch control circuit of the power unit which controls MOSFET of a main switch The 1st MOSFET and 2nd MOSFET of a main switch connect with the primary coil of the main transformer at juxtaposition. The output terminal of a control circuit It connects with the input terminal of a delay circuit at the gate of said 1st MOSFET. The output terminal of said delay circuit The main-switch control circuit of a power unit which connects with the gate of said 2nd MOSFET, can shift the timing of ON and OFF control, and is characterized by controlling the 1st MOSFET and 2nd MOSFET of said main switch.

[Claim 2] In the main-switch control circuit of a power unit according to claim 1, although ON resistance is comparatively high, it is characterized by switching speed using quick MOSFET at the 1st and 2nd MOSFETs.

[Claim 3] In the main-switch control circuit of the power unit which controls MOSFET of a main switch The 1st MOSFET and 2nd MOSFET of a main switch connect with the primary coil of the main transformer at juxtaposition. The output terminal of a control circuit It connects with one input terminal of an AND circuit, one input terminal of an OR circuit, and the input terminal of a delay circuit. The output terminal of said delay circuit It connects with the input terminal of another side of said AND circuit, and the input terminal of another side of said OR circuit. The output terminal of said AND circuit It connects with the gate of said 1st MOSFET. The output terminal of said OR circuit The main-switch control circuit of a power unit which connects with the gate of said 2nd MOSFET, can shift the timing of ON and OFF control, and is characterized by controlling the 1st MOSFET and 2nd MOSFET of said main switch.

[Claim 4] In the main-switch control circuit of a power unit according to claim 3, it is characterized by using low MOSFET of ON resistance for

it, although switching speed is comparatively slow to the 1st MOSFET, and switching speed using quick MOSFET for it, although ON resistance is comparatively high to the 2nd MOSFET.

[Claim 5] In the main-switch control circuit of the power unit which controls MOSFET of a main switch The 1st MOSFET and 2nd MOSFET of a main switch connect with the primary coil of the main transformer at juxtaposition. The output terminal of a control circuit It connects with one input terminal of an exclusive "or" circuit, and the input terminal of the 1st delay circuit. The output terminal of said 1st delay circuit It connects with the gate of said 1st MOSFET, and the input terminal of the 2nd delay circuit. The output terminal of said 2nd delay circuit It connects with the input terminal of another side of said exclusive "or" circuit. The output terminal of said exclusive "or" circuit The main-switch control circuit of a power unit which connects with the gate of said 2nd MOSFET, can shift the timing of ON and OFF control, and is characterized by controlling the 1st MOSFET and 2nd MOSFET of said main switch.

[Claim 6] In the main-switch control circuit of a power unit according to claim 5, it is characterized by for ON resistance using low MOSFET for it, although switching speed is comparatively slow to the 1st MOSFET, and switching speed using quick MOSFET for it, although ON resistance is comparatively high to the 2nd MOSFET.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is a main-switch control circuit in a power unit, and relates to the main-switch control circuit

controlled so that the switching loss especially by the main switch becomes low.

[0002]

[Description of the Prior Art] Drawing 9 is the block diagram of the main-switch control circuit in the conventional stone forward form switching power supply. Moreover, drawing 10 is drawing showing the wave of a main-switch control circuit of operation, and drawing 11 is drawing showing the switching loss generated from the main switch, and flow loss.

[0003] MOSFETQb1 is driven by the driver voltage Vgs from a control circuit 1. When Vgs becomes high potential, MOSFETQb1 will turn on and will be in switch-on, the drain current Id flows and the drain source electrical potential difference Vds serves as low voltage. Conversely, if Vgs serves as low voltage, MOSFETQb1 will turn off and will be in non-switch-on, the drain current Id will not flow and the drain source electrical potential difference Vds will serve as high potential. When changing to high potential, it becomes a crest type under the effect of L component of the main transformer Tb 1, and becomes fixed potential.

[0004]

[Problem(s) to be Solved by the Invention] There are drive loss, switching loss Ps, and the flow loss Pon as loss in the above main-switch control circuits generated in a main switch MOSFETQb1. In drawing 11, switching loss Ps is the sum of the switching loss Pf generated in tf at the time of switching loss Pr generated in tr at the time of a turn-on, and a turn-off, and the flow loss Pon is loss generated at the ON period ton.

[0005] Ps and Pon are [Equation 1].

$$P_s = P_r + P_f \quad (1)$$

$$P_r = \int_0^{t_r} I_d \cdot V_{ds} \cdot dt \cdot f (W) \quad (2)$$

$$P_f = \int_0^{t_f} I_d \cdot V_{ds} \cdot dt \cdot f (W) \quad (3)$$

$$P_{on} = \int_0^{t_{on}} I_d^2 \cdot R_{ds} \cdot dt \cdot f (W) \quad (4)$$

但し、

R_{ds} はMOSFET Qb1のON抵抗

f は動作周波数

t_r はターンオン時間

t_f はターンオフ時間

t_{on} はON時間

It can be found in Mr. **. In order to make the switching loss generated with the main switch MOSFETQb1 by the main-switch control circuit mitigate from the above-mentioned (1) - (3) type, it turns out that what is necessary is for what is necessary to be just to shorten the turn-on time t_r and the turn-off time t_f of MOSFETQb1, and just to make speed of switching quick. Furthermore, (4) types show that what is necessary is just to make ON resistance R_{ds} of MOSFETQb1 low, in order to make the flow loss P_{on} mitigate.

[0006] That is, if the component in which switching speed has the property that it is quick and ON resistance is low, as a property of MOSFET is used, it will be made to mitigate the loss generated with a main switch MOSFETQb1. However, making switching speed quick and making ON resistance low have a ***** relation, and there is a limitation in implementation of low MOSFET of ON resistance quickly [switching speed].

[0007] Then, to realize the control circuit of a main switch which such an MOSFET can be used [control circuit] and can make the loss generated with a main switch mitigate was desired.

[0008]

[Means for Solving the Problem] In the main-switch control circuit of the power unit which controls MOSFET of a main switch, to the primary coil of the main transformer, the 1st MOSFET and 2nd MOSFET of a main switch connect with juxtaposition, the output terminal of a control

circuit is connected with the input terminal of a delay circuit at the gate of said 1st MOSFET, and the output terminal of a delay circuit is connected to the gate of the 2nd MOSFET.

[0009] When the pulse output electrical potential difference of a control circuit serves as high potential, the 1st MOSFET will turn on and will be in switch-on, and when carrying out a turn-on, switching loss occurs. If the pulse output electrical potential difference of a delay circuit serves as high potential, the 2nd MOSFET will turn on and will be in switch-on, and although a turn-on is carried out, since the drain source electrical potential difference serves as low voltage at this time, the switching loss at the time of a turn-on will not be generated. Although flow loss occurs when the 1st and 2 MOSFET is switch-on, since parallel connection is carried out, ON resistance is low, and flow loss becomes low.

[0010] If a pulse output electrical potential difference serves as low voltage, the 1st MOSFET will turn off and will be in non-switch-on, although a turn-off is carried out, a drain source electrical potential difference will serve as low voltage, and switching loss will not be generated. Furthermore, when the pulse output electrical potential difference of a delay circuit serves as low voltage, the 2nd MOSFET will turn off and will be in non-switch-on, and when carrying out a turn-off, switching loss occurs.

[0011] In this case, to the 1st and the 2nd MOSFET, although it is comparatively high, since MOSFET with a quick switching speed is being used for the switching loss at the time of a turn-off by using MOSFET with a quick switching speed at the time of a turn-on, ON resistance can be suppressed low. Moreover, since the 1st and the 2nd MOSFET are used connecting with juxtaposition, ON resistance becomes low and can also suppress flow loss low.

[0012] Moreover, according to the modification of the timing of the ON-OFF control in the control circuit of the main switch of the 1st and 2 MOSFET, although ON resistance is comparatively high and MOSFET with a quick switching speed and switching speed are comparatively slow, ON resistance can suppress switching loss and flow loss low combining low MOSFET.

[0013]

[Embodiment of the Invention] Drawing 1 is drawing showing the circuitry of the gestalt of implementation of the 1st of this invention. The circuitry of the gestalt of the 1st operation is explained below using drawing 1. In the case of the gestalt of this operation, the main-switch control circuit 10 consists of a control circuit 1 and a delay

circuit 4.

[0014] The minus terminal of a power source V1 is connected to GND, and the plus is connected to the end of a capacitor C1. The other end of a capacitor C1 is connected to GND. The plus terminal of a power source V1 and the node of a capacitor C1 are connected to the positive electrode of the primary coil N1 of the main transformer T1, and the negative electrode of the primary coil N1 is connected to the drain of MOSFETQ1 and MOSFETQ2. The source of MOSFETQ1 and MOSFETQ2 is connected to GND.

[0015] The positive electrode of the secondary coil N2 of the main transformer T1 is connected to the anode of diode D1, and the cathode of this diode D1 is connected to the cathode of diode D2. The node of the cathode of diode D1 and the cathode of diode D2 is connected to the end of a coil L1, and the other end of this coil L1 is connected to the end of a capacitor C2, and the end of a load circuit 6. The other end of a load circuit 6 is connected to the other end of a capacitor C2, it connects with the anode of diode D2, and the node is further connected to the negative electrode of the secondary coil N2 of the main transformer T1.

[0016] The output terminal of a control circuit 1 is connected to the gate of MOSFETQ1, and the input terminal of a delay circuit 4. The output terminal of a delay circuit 4 is connected to the gate of MOSFETQ2.

[0017] In addition, drawing 3 shows the delay circuit used for a delay circuit 4. The configuration of a delay circuit is explained using drawing 3 . The minus terminal of the source V_{a1} of an input signal is connected to GND, and the plus terminal is connected to the end of resistance R_{a1}. The other end of R_{a1} is connected to the end of a capacitor calcium 1, and one input terminal of OR circuit OR_{a1}. The other end of calcium1 and the input terminal of another side of OR_{a1} are connected to GND. The output terminal of OR_{a1} serves as an output of this delay circuit.

[0018] Drawing 2 shows the wave of the gestalt of the 1st operation of operation. Actuation of the gestalt of the 1st operation is explained below using drawing 2 .

[0019] At the a1 time from which the pulse output electrical potential difference A obtained by the control circuit 1 serves as high potential, MOSFETQ1 will turn on, and will be in switch-on, and the drain current I₁ flows between the drain sources of MOSFETQ1. At this time, the drain source electrical potential difference C of MOSFETQ1 and MOSFETQ2 becomes low voltage. The switching loss by MOSFETQ1 occurs at the time of the turn-on of MOSFETQ1.

[0020] Next, at the b1 time from which the pulse output electrical potential difference B obtained from a delay circuit 4 becomes high potential, MOSFETQ2 will turn on, and will be in switch-on, and the drain current I2 flows between the drain sources of MOSFETQ2. Since the drain source electrical potential difference C of MOSFETQ2 already serves as low voltage at this time, the switching loss by MOSFETQ2 is not generated at the time of the turn-on of MOSFETQ2.

[0021] It is that parallel connection of MOSFETQ1 and MOSFETQ2 is carried out from bMOSFETQ1 and whose MOSFETQ2 are switch-on1 point in time to c1 time, and since ON resistance is low resistance, the flow loss to generate becomes low.

[0022] At the c1 time from which the pulse output electrical potential difference A serves as low voltage, MOSFETQ1 will turn off, and will be in non-switch-on, and the drain current I1 will not flow. At the time of the turn-off of MOSFETQ1, since the drain source electrical potential difference C of MOSFETQ1 serves as low voltage, switching loss is not generated. The time of the pulse output electrical potential difference B becoming low voltage, by d1, MOSFETQ2 will turn off, and will be in non-switch-on, and the drain source electrical potential difference C of MOSFETQ1 and MOSFETQ2 serves as high potential. The switching loss by MOSFETQ2 occurs at the time of the turn-off of MOSFETQ2.

[0023] In addition, an electrical potential difference occurs [the drain source electrical potential difference C] in the secondary coil N2 of the main transformer T1 between low voltage, a current flows through diode D1, and a load circuit 6 is supplied. Moreover, between high potentials [electrical potential difference / C / drain source], since an electrical potential difference does not occur in the secondary coil N2, a current flows through diode D2 with the energy collected on the coil L1, and a load circuit 6 is supplied.

[0024] Drawing 4 shows the wave of a delay circuit of operation. Actuation of a delay circuit is explained here using drawing 4 . If pulse-voltage p is inputted into a delay circuit, the output q of the differential circuit which consists of Ra1 and calciuml will serve as a standup and a wave falling became blunt. Generally, the threshold voltage Vth of logic-gate IC is about 1 of the supply voltage Vcc/2, and by the input wave [like] which is q and which became blunt, before q reaches threshold voltage Vth, it will take fixed time amount.

Consequently, the output pulse electrical potential difference r in which the phase was behind [the input voltage p to a delay circuit] is obtained from the output terminal of OR circuit ORa1.

[0025] In the case of the gestalt of the 1st operation, ON resistance is

comparatively high to MOSFETQ1 and MOSFETQ2 of a main switch, but switching speed uses MOSFET with the property of being quick. By this, loss of the main switch at the turn-on a1 time is only loss by MOSFETQ1, and loss of the main switch at the turn-off b1 time is only loss by MOSFETQ2, and since the switching speed of a main switch is quick, the switching loss of a main switch can be suppressed low.

[0026] Moreover, since it is used connecting MOSFETQ1 and MOSFETQ2 to juxtaposition, ON resistance of a main switch becomes low and can also suppress flow loss of the between at the c1 time low from b1 time which MOSFETQ1 and MOSFETQ2 turn on. Therefore, switching loss and flow loss can be suppressed low, loss by MOSFET of a main switch can be suppressed low, and the effectiveness of a power unit can be raised.

[0027] Drawing 5 is drawing showing the gestalt of the 2nd operation. The circuitry of the gestalt of the 2nd operation is explained below using drawing 5 . In addition, the same sign is given to the same requirements for a configuration as drawing 1 . In the case of the gestalt of this operation, the main-switch control circuit 11 consists of control circuits 2 which consist of a control circuit 1, and a delay circuit 4, AND circuit AND 1 and OR circuit OR 1.

[0028] The minus terminal of a voltage source V1 is connected to GND, and the plus terminal of a voltage source V1 is connected to the end of a capacitor C1. Moreover, the other end of a capacitor C1 is connected to GND. The plus terminal of a voltage source V1 and the node of a capacitor C1 are connected to the positive electrode of the primary coil N1 of the main transformer T1, and the negative electrode of the primary coil N1 is connected to the drain of MOSFETQ3 and MOSFETQ4. The source of MOSFETQ3 and MOSFETQ4 is connected to GND. In addition, since the connection by the side of the secondary coil N2 is the same as that of the gestalt of the 1st operation, explanation is omitted.

[0029] Next, the configuration of the main-switch control circuit 11 is explained. The output terminal of a control circuit 1 is connected to one input terminal of AND circuit AND 1, one input terminal of OR circuit OR 1, and the input terminal of a delay circuit 4. The output terminal of a delay circuit 4 is connected to the input terminal of another side of AND circuit AND 1, and the input terminal of another side of OR circuit OR 1. The output terminal of AND circuit AND 1 is connected to the gate of MOSFETQ3, and the output terminal of OR circuit OR 1 is connected to the gate of MOSFETQ4.

[0030] Drawing 6 shows the wave of the gestalt of the 2nd operation of operation. Next, actuation of the gestalt of the 2nd operation is explained using drawing 6 .

[0031] The pulse output electrical potential difference A obtained by the control circuit 1 serves as high potential at the a2 time, and the pulse output electrical potential difference E of OR circuit OR 1 of the pulse output electrical potential difference B and the pulse output electrical potential difference A which delayed the phase in the delay circuit 4 serves as high potential in the pulse output electrical potential difference A. In between at the d2 time, MOSFETQ4 will turn on from a2 time whose pulse output electrical potential difference E is high potential, it will be in switch-on, and the drain current I4 flows between the drain sources. Moreover, when the drain current I4 flows, the drain source electrical potential difference C of MOSFETQ3 and MOSFETQ4 serves as low voltage, and the switching loss by MOSFETQ4 occurs at the time of the turn-on of MOSFETQ4.

[0032] MOSFETQ3 will turn on at the b2 time from which the pulse output electrical potential difference D of AND circuit AND 1 of the pulse output electrical potential difference A and the pulse output electrical potential difference B serves as high potential, it will be in switch-on, and the drain current I3 flows between the drain sources of MOSFETQ3. Since the drain source electrical potential difference C of MOSFETQ3 already serves as low voltage at this time, the switching loss at the time of the turn-on of MOSFETQ3 is not generated.

[0033] Since parallel connection of MOSFETQ3 and MOSFETQ4 is carried out in between at the c2 time from bfrom which MOSFETQ3 and MOSFETQ4 will be in switch-on2 point in time, ON resistance of a main switch turns into low resistance. Thereby, flow loss becomes low.

[0034] Next, at the c2 time from which the pulse output electrical potential difference A serves as low voltage, the pulse output electrical potential difference D serves as low voltage, and MOSFETQ3 will turn off and it will be in non-switch-on. Since the drain source electrical potential difference E of MOSFETQ3 serves as low voltage at this time, the switching loss at the time of the turn-off of MOSFETQ3 is not generated. At the d2 time from which the pulse output electrical potential difference B serves as low voltage, the pulse output electrical potential difference E serves as low voltage, and MOSFETQ4 will turn off and will be in non-switch-on. The switching loss by MOSFETQ4 occurs at the time of the turn-off of MOSFETQ4.

[0035] In the case of the gestalt of this operation, although switching speed is comparatively slow to MOSFETQ3 of a main switch, low MOSFET of ON resistance is used, and although ON resistance is comparatively high to MOSFETQ4, MOSFET with a quick switching speed is used.

[0036] The switching loss at the time of a turn-on and a turn-off is

only the switching loss by MOSFETQ4, and since MOSFETQ4 is MOSFET with a quick switching speed, it can suppress switching loss low. ON resistance of MOSFETQ3 is low, and since MOSFETQ3 and MOSFETQ4 are connected to juxtaposition, it can suppress low flow loss when MOSFETQ3 and Q4 turn on.

[0037] Therefore, it can become possible from this to suppress loss of MOSFET of a main switch low, and the effectiveness of a power unit can be raised. In addition, in the case of the gestalt of this operation, as compared with the gestalt of the 1st operation, it is expectable to decrease flow loss more. However, how to take the timing of the main-switch control circuit 11 becomes complicated compared with the main-switch control circuit 10.

[0038] Drawing 7 is drawing showing the gestalt of the 3rd operation. Next, the 3rd configuration of the gestalt of operation is explained below using drawing 7. In the gestalt of this operation, the main-switch control circuit 12 consists of a control circuit 1, a delay circuit 4 and a delay circuit 5, and a control circuit 3 that consists of exclusive "or" circuit Ex-OR1. In addition, the same sign is attached about the 1st and the same requirements for a configuration as the gestalt of operation of two.

[0039] The minus terminal of a voltage source V1 is connected to GND, and the plus terminal is connected to the end of a capacitor C5. The other end of a capacitor C1 is connected to GND. The plus terminal of a voltage source V3 and the node of a capacitor C5 are connected to the positive electrode of the primary coil N1 of main transformer T3. The negative electrode of the primary coil N1 is connected to the drain of MOSFETQ5 and MOSFETQ6. The source of MOSFETQ5 and MOSFETQ6 is connected to GND. In addition, the configuration after the secondary of a transformer T1 is the same as that of the gestalt of the 1st operation, and omits explanation.

[0040] Next, the configuration of the main-switch control circuit 12 is explained. The output terminal of a control circuit 1 is connected to one input terminal of exclusive "or" circuit Ex-OR1, and the input terminal of a delay circuit 4. The output terminal of a delay circuit 4 is connected to the gate of MOSFETQ5, and the input terminal of a delay circuit 5. Moreover, the output terminal of a delay circuit 5 is connected to the input terminal of another side of Ex-OR1. Furthermore, the output terminal of exclusive "or" circuit Ex-OR1 is connected to the gate of MOSFETQ6. Drawing 8 shows the wave of the gestalt of the 3rd operation of operation. Actuation of the gestalt of the 3rd operation is explained below using drawing 8.

[0041] At the a3 time from which the pulse output electrical potential difference A obtained by the control circuit 1 serves as high potential, the pulse output electrical potential difference G of exclusive "or" circuit Ex-OR1 of the pulse output electrical potential difference F and the pulse output electrical potential difference A which delayed the phase in the delay circuit 4 and the delay circuit 5 serves as high potential in the pulse output electrical potential difference A. At this time, MOSFETQ6 will turn on, and will be in switch-on, and the drain current I6 flows between the drain sources of MOSFETQ6. Moreover, at this time, the drain source electrical potential difference C of MOSFETQ5 and MOSFETQ6 serves as low voltage, and the switching loss by MOSFETQ6 occurs at the time of the turn-on of MOSFETQ6.

[0042] At the b3 time from which the pulse output electrical potential difference B which delayed the phase in the delay circuit 4 serves as high potential, MOSFETQ5 will turn on the pulse output electrical potential difference A, it will be in switch-on, and the drain current I5 flows between the drain sources of MOSFETQ5. Since the drain source electrical potential difference of MOSFETQ5 already serves as low voltage at this time, the switching loss at the time of the turn-on of MOSFETQ5 is not generated.

[0043] At the c3 time from which the pulse output electrical potential difference G serves as low voltage, MOSFETQ6 will turn off and will be in non-switch-on. Since the drain source electrical potential difference C of MOSFETQ6 is low voltage at this time, the switching loss at the time of the turn-off of MOSFETQ6 is not generated.

[0044] MOSFETQ5 serves as flow loss of only MOSFETQ5 from c3 time whose MOSFETQ6 is non-switch-on in switch-on in between at the d3 time.

[0045] Although MOSFETQ6 will turn on at the d3 time from which the pulse output electrical potential difference G serves as high potential and it will be in switch-on, at this time, the drain source electrical potential difference C of MOSFETQ6 is still low voltage, and does not generate the switching loss at the time of the turn-on of MOSFETQ6.

Although MOSFETQ5 will turn off and it will be in non-switch-on at the e3 time from which the pulse output electrical potential difference B serves as low voltage, at this time, the drain source electrical potential difference C of MOSFETQ5 is still low voltage, and does not generate the switching loss at the time of the turn-off of MOSFETQ5.

[0046] At the f3 time from which the pulse output electrical potential difference G serves as low voltage, MOSFETQ6 will turn off, and will be in non-switch-on, and the drain source electrical potential difference C of MOSFETQ5 and MOSFETQ6 serves as high potential. At this time, the

switching loss by MOSFETQ6 occurs at the time of the turn-off of MOSFETQ6.

[0047] In the case of the gestalt of this operation, switching speed is comparatively slow to MOSFETQ5 of a main switch, but low MOSFET of ON resistance is used, and although ON resistance is comparatively high to MOSFETQ6, MOSFET with a quick switching speed is used.

[0048] At the time of a turn-on, at the a3 time, the time, it is only loss by MOSFETQ6 with a quick switching speed at the time of a turn-off, and the switching loss at the f3 time is low suppressed by this.

Moreover, MOSFETQ6 of ON resistance with the high flow loss at the d3 time turns off from c3 time which MOSFETQ5 of a main switch turns on, and since it is loss of only low MOSFETQ5 of ON resistance, it is stopped low. Therefore, loss by MOSFET of a main switch can be suppressed low, and the effectiveness of a power unit improves. In the case of the gestalt of this operation, it is expectable to suppress flow loss still lower compared with the case of the gestalt of the 1st and operation of two, but how to take the timing of the main-switch control circuit 12 becomes more complicated.

[0049] With the gestalt of the 1st, 2, and operation of three, although applied to the power unit of 1 stone forward mold, this invention is not restricted to this and can be applied also to the power unit of a half bridge type or a full bridge type. Moreover, it is applicable also to the pressure-up mold and step-down-and-step-up mold instead of what is restricted to an electrical-potential-difference pressure-lowering mold. Moreover, it is not limited to an insulation or un-insulating.

Furthermore, with the gestalt of these operations, although applied to the main-switch control circuit of a power unit, it is applicable not only to this but a protection network and other control circuits.

[0050] In addition, although the delay circuit is constituted using an OR circuit, it is also possible to constitute from other logic-gate circuits, comparators, etc.

[0051]

[Effect of the Invention] According to this invention, although switching speed is quick and what has comparatively high ON resistance, and ON resistance are low as an MOSFET of a main switch, switching speed becomes possible [suppressing the switching loss of a main switch low, and also suppressing flow loss low] by connecting a comparatively late thing to juxtaposition combining plurality, and shifting the timing of those ON-OFF control. The effectiveness of a power unit improves by this.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the circuitry of the gestalt of the 1st operation

[Drawing 2] Drawing showing the wave of the main-switch control circuit of the gestalt of the 1st operation of operation

[Drawing 3] Drawing showing a delay circuit

[Drawing 4] Drawing showing the wave of a delay circuit of operation

[Drawing 5] Drawing showing the circuitry of the gestalt of the 2nd operation

[Drawing 6] Drawing showing the wave of the main-switch control circuit of the gestalt of the 2nd operation of operation

[Drawing 7] Drawing showing the circuitry of the gestalt of the 3rd operation

[Drawing 8] Drawing showing the wave of the main-switch control circuit of the gestalt of the 3rd operation of operation

[Drawing 9] Drawing showing the conventional main-switch control circuit configuration

[Drawing 10] Drawing showing the wave of the conventional main-switch control circuit of operation

[Drawing 11] Drawing showing the switching loss generated from a main switch, and flow loss

[Description of Notations]

1 -- Control circuit

2 3 -- Delay control circuit

4 5 -- Delay circuit

6 -- Load circuit

10, 11, 12 -- Main-switch control circuit

[Translation done.]

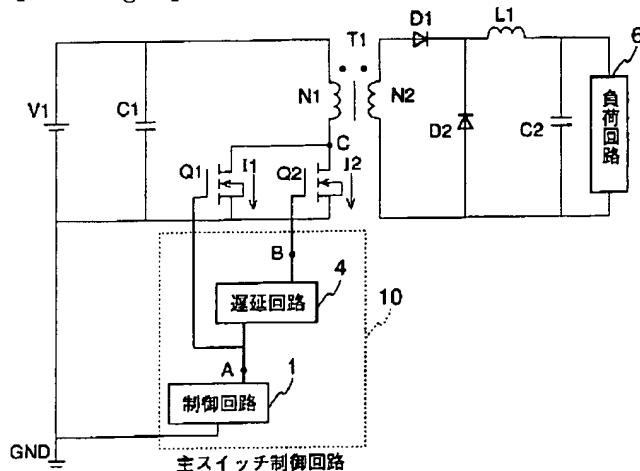
* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

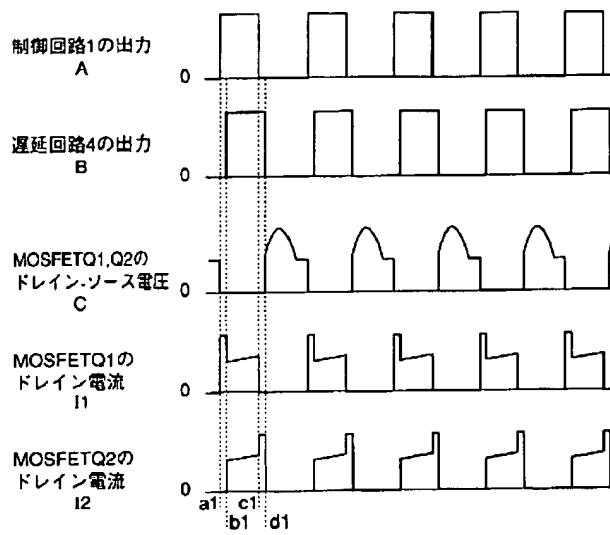
DRAWINGS

[Drawing 1]



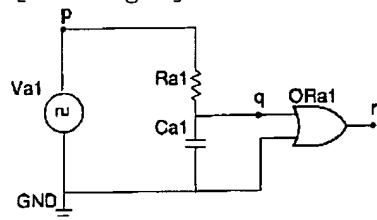
第1の実施の形態の回路構成

[Drawing 2]



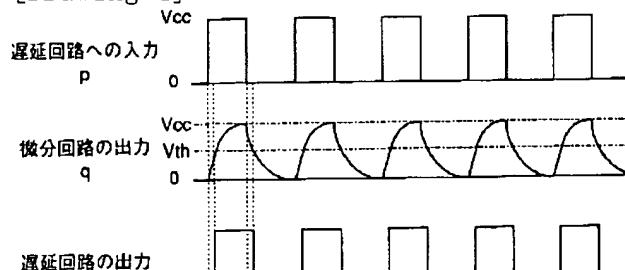
第1の実施の形態の主スイッチ制御回路の動作波形

[Drawing 3]



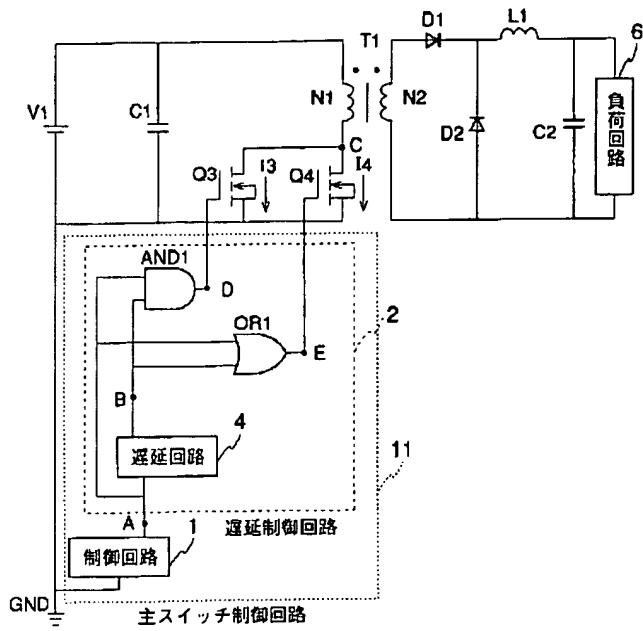
遅延回路

[Drawing 4]



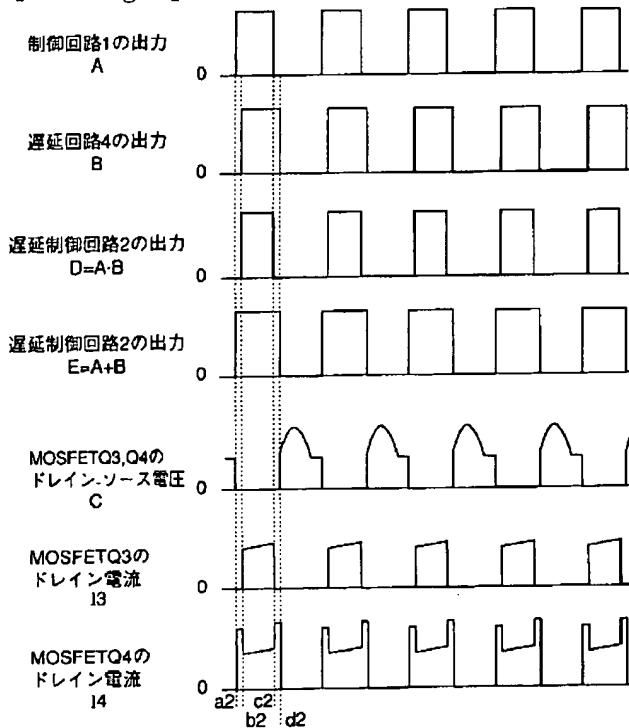
遅延回路の動作波形

[Drawing 5]



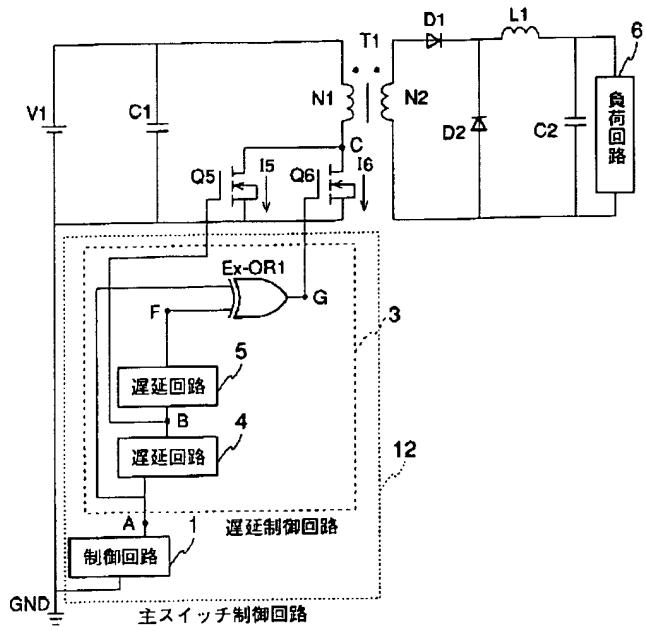
第2の実施の形態の回路構成

[Drawing 6]



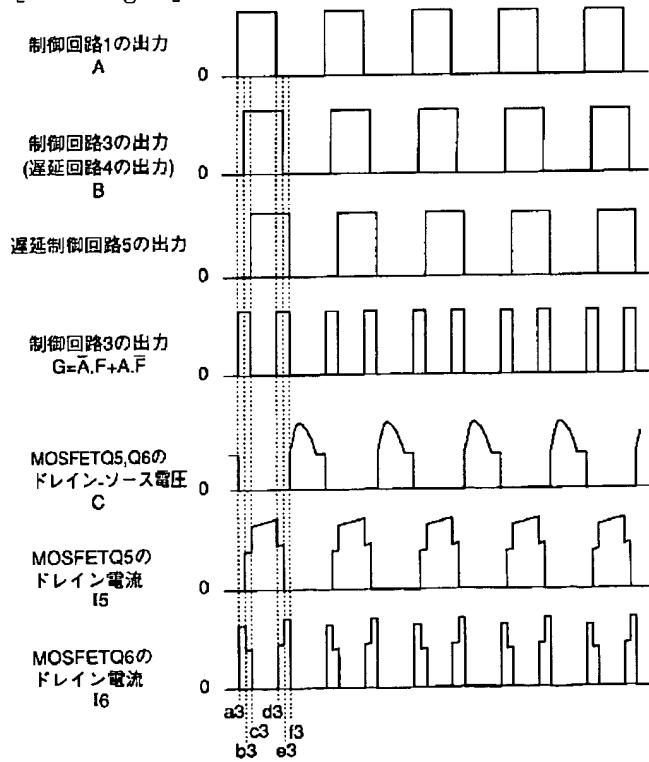
第2の実施の形態の主スイッチ制御回路の動作波形

[Drawing 7]



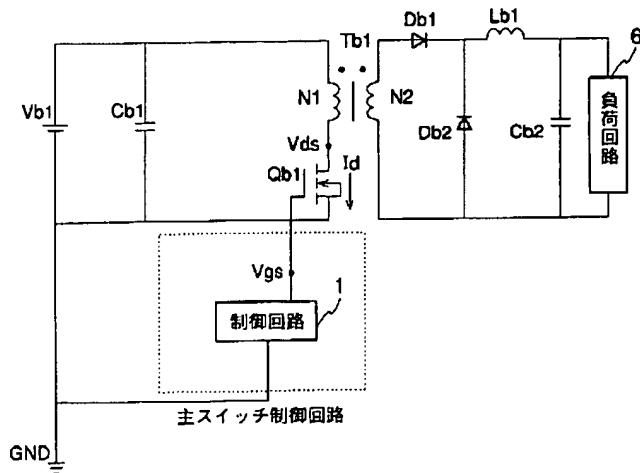
第3の実施の形態の回路構成

[Drawing 8]



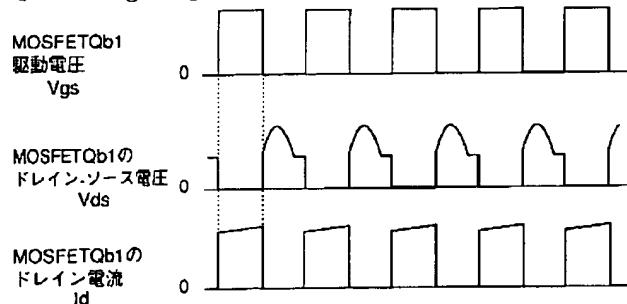
第3の実施の形態の主スイッチ制御回路の動作波形

[Drawing 9]



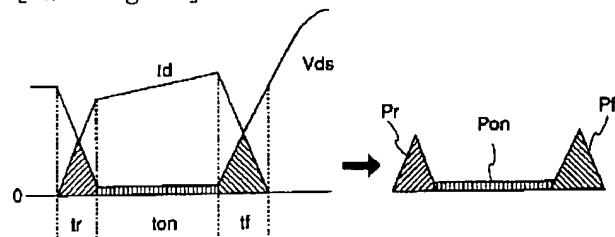
従来の主スイッチ制御回路構成

[Drawing 10]



従来の主スイッチ制御回路の動作波形

[Drawing 11]



主スイッチから発生するスイッチング損失と導通損失

[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-285120

(43) 公開日 平成9年(1997)10月31日

(51) Int. C.I. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 02 M	3/28		H 02 M	3/28
	1/08	3 1 1		1/08 3 1 1 A
H 03 K	17/04		H 03 K	17/04
	17/12			17/12 E

審査請求 未請求 請求項の数 6 O L

(全 9 頁)

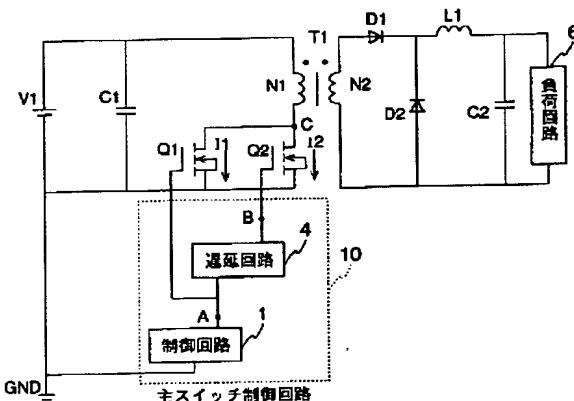
(21) 出願番号	特願平8-97844	(71) 出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22) 出願日	平成8年(1996)4月19日	(72) 発明者	岡本 祐司 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		(74) 代理人	弁理士 大西 健治

(54) 【発明の名称】電源装置の主スイッチ制御回路

(57) 【要約】

【目的】 電源装置の主スイッチの損失を低く抑えるように制御する、主スイッチ制御回路を提供する。

【構成】 主スイッチのMOSFET Q1とQ2を並列に接続する。制御回路1の出力端子は、MOSFET Q1のゲートに接続し、制御回路1と接続する遅延回路4の出力端子4はMOSFET Q2のゲートに接続する。MOSFET Q1とQ2のON、OFF制御のタイミングをずらして制御することにより、スイッチング損失と導通損失を低く抑えることができる。



第1の実施の形態の回路構成

【特許請求の範囲】

【請求項1】 主スイッチのMOSFETを制御する電源装置の主スイッチ制御回路において、主トランジスタの1次巻線に、主スイッチの第1のMOSFETと第2のMOSFETが並列に接続し、制御回路の出力端子は、遅延回路の入力端子と前記第1のMOSFETのゲートに接続し、前記遅延回路の出力端子は、前記第2のMOSFETのゲートに接続し、ON、OFF制御のタイミングをずらせて、前記主スイッチの第1のMOSFETと第2のMOSFETを制御することを特徴とする、電源装置の主スイッチ制御回路。

【請求項2】 請求項1記載の電源装置の主スイッチ制御回路において、第1及び第2のMOSFETには、ON抵抗は比較的高いがスイッチングスピードは速いMOSFETを使用することを特徴とする。

【請求項3】 主スイッチのMOSFETを制御する電源装置の主スイッチ制御回路において、主トランジスタの1次巻線に、主スイッチの第1のMOSFETと第2のMOSFETが並列に接続し、制御回路の出力端子は、論理積回路の1つの入力端子、論理和回路の1つの入力端子及び遅延回路の入力端子に接続し、前記遅延回路の出力端子は、前記論理積回路の他方の入力端子と前記論理和回路の他方の入力端子に接続し、前記論理積回路の出力端子は、前記第1のMOSFETのゲートに接続し、前記論理和回路の出力端子は、前記第2のMOSFETのゲートに接続し、ON、OFF制御のタイミングをずらせて、前記主スイッチの第1のMOSFETと第2のMOSFETを制御することを特徴とする、電源装置の主スイッチ制御回路。

【請求項4】 請求項3記載の電源装置の主スイッチ制御回路において、第1のMOSFETには、スイッチングスピードは比較的遅いがON抵抗の低いMOSFETを使用し、第2のMOSFETにはON抵抗は比較的高いがスイッチングスピードは速いMOSFETを使用することを特徴とする。

【請求項5】 主スイッチのMOSFETを制御する電源装置の主スイッチ制御回路において、主トランジスタの1次巻線に、主スイッチの第1のMOSFETと第2のMOSFETが並列に接続し、制御回路の出力端子は、排他的論理和回路の1つの入力端子と第1の遅延回路の入力端子に接続し、前記第1の遅延回路の出力端子は、前記第1のMOSFETのゲートと第2の遅延回路の入力端子に接続し、

前記第2の遅延回路の出力端子は、前記排他的論理和回路の他方の入力端子に接続し、前記排他的論理和回路の出力端子は、前記第2のMOSFETのゲートに接続し、ON、OFF制御のタイミングをずらせて、前記主スイッチの第1のMOSFETと第2のMOSFETを制御することを特徴とする、電源装置の主スイッチ制御回路。

【請求項6】 請求項5記載の電源装置の主スイッチ制御回路において、第1のMOSFETにはスイッチングスピードは比較的遅いがON抵抗は低いMOSFETを使用し、第2のMOSFETにはON抵抗は比較的高いがスイッチングスピードは速いMOSFETを使用することを特徴とする。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電源装置における主スイッチ制御回路で、特に主スイッチによるスイッチング損失が低くなるように制御する主スイッチ制御回路に関するものである。

【0002】

【従来の技術】図9は、従来の一石フォワード形スイッチング電源における主スイッチ制御回路のブロック図である。また図10は主スイッチ制御回路の動作波形を示す図であり、図11はその主スイッチから発生するスイッチング損失と導通損失を示す図である。

【0003】MOSFET Qb1は制御回路1からの駆動電圧Vgsにより駆動される。Vgsが高電位となった時に、MOSFET Qb1はONして導通状態となり、ドレイン電流Idが流れ、ドレイン・ソース電圧Vdsは低電位となる。逆にVgsが低電位となると、MOSFET Qb1はOFFして非導通状態となり、ドレイン電流Idが流れなくなり、ドレイン・ソース電圧Vdsは高電位となる。高電位に変化するとき、主トランジスタTb1のL成分の影響により山型になり、一定の電位になる。

【0004】

【発明が解決しようとする課題】上記のような主スイッチ制御回路における、主スイッチMOSFET Qb1に発生する損失には、駆動損失、スイッチング損失Ps及び導通損失Ponがある。図11において、スイッチング損失Psはターンオン時trに発生するスイッチング損失Prとターンオフ時tfに発生するスイッチング損失Pfの和であり、導通損失PonはON期間tonに発生する損失である。

【0005】PsとPonは

【数1】

$$P_s = P_r + P_f$$

$$P_r = \int_0^{t_r} I_d \cdot V_{ds} \cdot dt \cdot f(W) \quad (2)$$

$$P_f = \int_0^{t_f} I_d \cdot V_{ds} \cdot dt \cdot f(W) \quad (3)$$

$$P_{on} = \int_0^{t_{on}} I_d^2 \cdot R_{ds} \cdot dt \cdot f(W) \quad (4)$$

但し、

R_{ds} はMOSFET Qb1のON抵抗

f は動作周波数

t_r はターンオン時間

t_f はターンオフ時間

t_{on} はON時間

の様に求まる。上記(1)～(3)式から、主スイッチ制御回路による主スイッチMOSFET Qb1で発生するスイッチング損失を軽減させるには、MOSFET Qb1のターンオン時間 t_r とターンオフ時間 t_f を短くすればよい、即ちスイッチングのスピードを速くすれば良いことがわかる。更に(4)式から、導通損失 P_{on} を軽減させるには、MOSFET Qb1のON抵抗 R_{ds} を低くすれば良いことがわかる。

【0006】つまり、MOSFETの特性として、スイッチングスピードが速くかつON抵抗が低いという特性を持つ素子を使用すれば、主スイッチMOSFET Qb1で発生する損失は軽減させられる。しかしながら、スイッチングスピードを速くすることと、ON抵抗を低くすることは相い反する関係にあり、スイッチングスピードが速く、かつON抵抗の低いMOSFETの実現には限界がある。

【0007】そこで、このようなMOSFETを使用して、主スイッチで発生する損失を軽減させることのできる、主スイッチの制御回路を実現することが望まれていた。

【0008】

【課題を解決するための手段】主スイッチのMOSFETを制御する電源装置の主スイッチ制御回路において、主トランジスタの1次巻線に対して、主スイッチの第1のMOSFETと第2のMOSFETが並列に接続し、制御回路の出力端子は、遅延回路の入力端子と前記第1のMOSFETのゲートに接続し、遅延回路の出力端子は、第2のMOSFETのゲートに接続する。

【0009】制御回路のパルス出力電圧が高電位となる時に、第1のMOSFETはONして導通状態となり、ターンオンする時にスイッチング損失が発生する。遅延

20 回路のパルス出力電圧が高電位となると、第2のMOSFETはONして導通状態となりターンオンするが、この時ドレイン・ソース電圧は低電位となっているため、ターンオン時のスイッチング損失は発生しない。第1、2のMOSFETが導通状態の時、導通損失が発生するが、並列接続されているためON抵抗は低く、導通損失は低くなる。

【0010】パルス出力電圧が低電位となると、第1のMOSFETはOFFして非導通状態となりターンオフするが、ドレイン・ソース電圧は低電位となったままであり、スイッチング損失は発生しない。更に、遅延回路のパルス出力電圧が低電位となる時に第2のMOSFETはOFFして非導通状態となり、ターンオフする時にスイッチング損失が発生する。

【0011】この場合、第1と第2のMOSFETに、ON抵抗は比較的高いがスイッチングスピードの速いMOSFETを使用することにより、ターンオン時、ターンオフ時のスイッチング損失は、スイッチングスピードの速いMOSFETを使用しているため、低く抑えることができる。また第1と第2のMOSFETは並列に接続して使用するため、ON抵抗は低くなり、導通損失も低く抑えることができる。

【0012】また、第1、2のMOSFETの主スイッチの制御回路で、ON-OFF制御のタイミングの変形例により、ON抵抗は比較的高いがスイッチングスピードの速いMOSFETと、スイッチングスピードは比較的遅いがON抵抗は低いMOSFETを組み合わせて、スイッチング損失、導通損失を低く抑えることができる。

【0013】

【発明の実施の形態】図1は、この発明の第1の実施の

形態の回路構成を示す図である。図1を用いて、第1の実施の形態の回路構成について以下に説明する。この実施の形態の場合は、主スイッチ制御回路10は、制御回路1と遅延回路4から構成されている。

【0014】電源V1のマイナス端子はGNDに接続され、そのプラスはコンデンサC1の一端に接続されている。コンデンサC1の他端はGNDに接続されている。電源V1のプラス端子とコンデンサC1の接続点は、主トランジスト1の1次巻線N1の正極に接続され、その1次巻線N1の負極はMOSFETQ1及びMOSFETQ2のドレインに接続されている。MOSFETQ1及びMOSFETQ2のソースはGNDに接続されている。

【0015】主トランジスト1の2次巻線N2の正極はダイオードD1のアノードに接続され、このダイオードD1のカソードは、ダイオードD2のカソードに接続されている。ダイオードD1のカソードとダイオードD2のカソードの接続点は、コイルL1の一端に接続され、このコイルL1の他端はコンデンサC2の一端及び負荷回路6の一端に接続されている。負荷回路6の他端はコンデンサC2の他端に接続され、その接続点はダイオードD2のアノードに接続され、更に主トランジスト1の2次巻線N2の負極に接続されている。

【0016】制御回路1の出力端子はMOSFETQ1のゲート及び遅延回路4の入力端子に接続されている。遅延回路4の出力端子はMOSFETQ2のゲートに接続される。

【0017】なお、図3は遅延回路4に用いられる遅延回路を示している。図3を用いて、遅延回路の構成について説明する。入力信号源Va1のマイナス端子はGNDに接続され、プラス端子は抵抗Ra1の一端に接続されている。Ra1の他端はコンデンサCa1の一端及び論理回路ORa1の1つの入力端子に接続されている。Ca1の他端及びORa1の他方の入力端子はGNDに接続されている。ORa1の出力端子は、この遅延回路の出力となる。

【0018】図2は、第1の実施の形態の動作波形を示す。図2を用いて、以下に第1の実施の形態の動作について説明する。

【0019】制御回路1により得られるパルス出力電圧Aが高電位となるa1時点に、MOSFETQ1はONして導通状態となり、MOSFETQ1のドレイン・ソース間にドレイン電流I1が流れる。この時、MOSFETQ1及びMOSFETQ2のドレイン・ソース電圧Cは低電位になる。MOSFETQ1のターンオン時には、MOSFETQ1によるスイッチング損失が発生する。

【0020】次に、遅延回路4から得られるパルス出力電圧Bが高電位になるb1時点で、MOSFETQ2はONして導通状態となり、MOSFETQ2のドレイン

・ソース間にドレイン電流I2が流れる。この時は、すでにMOSFETQ2のドレイン・ソース電圧Cは低電位となっているため、MOSFETQ2のターンオン時に、MOSFETQ2によるスイッチング損失は発生しない。

【0021】MOSFETQ1及びMOSFETQ2が導通状態である、b1時点からc1時点までの間は、MOSFETQ1及びMOSFETQ2が並列接続されていることで、ON抵抗は低抵抗であるため、発生する導通損失は低くなる。

【0022】パルス出力電圧Aが低電位となるc1時点では、MOSFETQ1はOFFして非導通状態となり、ドレイン電流I1は流れなくなる。MOSFETQ1のターンオフ時には、MOSFETQ1のドレイン・ソース電圧Cは低電位となつたままであるため、スイッチング損失は発生しない。パルス出力電圧Bが低電位になる時点d1では、MOSFETQ2はOFFして非導通状態となり、MOSFETQ1及びMOSFETQ2のドレイン・ソース電圧Cは高電位となる。MOSFETQ2のターンオフ時には、MOSFETQ2によるスイッチング損失が発生する。

【0023】なお、ドレイン・ソース電圧Cが低電位の間は、主トランジスト1の2次巻線N2に電圧が発生し、ダイオードD1を通して電流が流れ負荷回路6に供給される。またドレイン・ソース電圧Cが高電位の間は、2次巻線N2に電圧が発生しないため、コイルL1に溜まったエネルギーでダイオードD2を通して電流が流れ、負荷回路6に供給される。

【0024】図4は遅延回路の動作波形を示している。ここで図4を用いて、遅延回路の動作について説明する。遅延回路にパルス電圧pが入力されると、Ra1とCa1からなる微分回路の出力qは、立ち上がりと立ち下がりがなまつた波形となる。一般的に論理ゲートICのスレッシュホールド電圧Vthは、その電源電圧Vccの約1/2であり、qのようななまつた入力波形では、qがスレッシュホールド電圧Vthに達するまでに一定時間がかかる。その結果、論理回路ORa1の出力端子からは、遅延回路への入力電圧pより位相の遅れた出力パルス電圧rが得られる。

【0025】第1の実施の形態の場合、主スイッチのMOSFETQ1及びMOSFETQ2に、ON抵抗は比較的高いが、スイッチングスピードは速いという特性を持つMOSFETを使用する。このことによって、ターンオンa1時点の主スイッチの損失は、MOSFETQ1による損失だけであり、またターンオフb1時点の主スイッチの損失は、MOSFETQ2による損失だけであり、かつ主スイッチのスイッチングスピードは速いため、主スイッチのスイッチング損失を低く抑えることができる。

【0026】また、MOSFETQ1とMOSFETQ

2を並列に接続して使用しているため、主スイッチのON抵抗は低くなり、MOSFET Q1とMOSFET Q2がONしてあるb1時点からc1時点の間の導通損失も低く抑えることができる。よって、スイッチング損失及び導通損失が低く抑えられ、主スイッチのMOSFETでの損失を低く抑えることができ、電源装置の効率を向上させることができる。

【0027】図5は、第2の実施の形態を示す図である。図5を用いて、第2の実施の形態の回路構成について以下に説明する。なお、図1と同一の構成要件には同一符号を付してある。この実施の形態の場合は、主スイッチ制御回路11は制御回路1と、遅延回路4、論理積回路AND1、論理和回路OR1からなる制御回路2から構成されている。

【0028】電圧源V1のマイナス端子はGNDに接続され、電圧源V1のプラス端子はコンデンサC1の一端に接続されている。またコンデンサC1の他端はGNDに接続されている。電圧源V1のプラス端子とコンデンサC1の接続点は、主トランジスタT1の1次巻線N1の正極に接続され、1次巻線N1の負極はMOSFET Q3及びMOSFET Q4のドレインに接続される。MOSFET Q3及びMOSFET Q4のソースはGNDに接続される。なお、2次巻線N2側の接続は、第1の実施の形態と同様であるので説明を省略する。

【0029】次に主スイッチ制御回路11の構成について説明する。制御回路1の出力端子は、論理積回路AND1の一方の入力端子と、論理和回路OR1の一方の入力端子と、遅延回路4の入力端子に接続されている。遅延回路4の出力端子は、論理積回路AND1の他方の入力端子と、論理和回路OR1の他方の入力端子に接続されている。論理積回路AND1の出力端子は、MOSFET Q3のゲートに、また論理和回路OR1の出力端子は、MOSFET Q4のゲートに接続される。

【0030】図6は、第2の実施の形態の動作波形を示している。次に図6を用いて、第2の実施の形態の動作について説明する。

【0031】制御回路1により得られるパルス出力電圧Aはa2時点で高電位となり、パルス出力電圧Aを遅延回路4で位相を遅らせたパルス出力電圧Bと、パルス出力電圧Aとの論理和回路OR1のパルス出力電圧Eが高電位となる。パルス出力電圧Eが高電位であるa2時点からd2時点の間は、MOSFET Q4がONして導通状態となり、ドレイン・ソース間にドレイン電流I4が流れる。またドレイン電流I4の流れる時に、MOSFET Q3及びMOSFET Q4のドレイン・ソース電圧Cが低電位となり、MOSFET Q4のターンオン時に、MOSFET Q4によるスイッチング損失が発生する。

【0032】パルス出力電圧Aとパルス出力電圧Bとの論理積回路AND1のパルス出力電圧Dが、高電位とな

るb2時点でMOSFET Q3はONして導通状態となり、MOSFET Q3のドレイン・ソース間にドレイン電流I3が流れる。この時点は、既にMOSFET Q3のドレイン・ソース電圧Cは低電位となっているため、MOSFET Q3のターンオン時のスイッチング損失は発生しない。

【0033】MOSFET Q3及びMOSFET Q4が導通状態となる、b2時点からc2時点の間は、MOSFET Q3とMOSFET Q4が並列接続されているため、主スイッチのON抵抗は低抵抗となる。これにより導通損失は低くなる。

【0034】次に、パルス出力電圧Aが低電位となるc2時点では、パルス出力電圧Dが低電位となりMOSFET Q3がOFFして非導通状態となる。この時MOSFET Q3のドレイン・ソース電圧Eは低電位となつたままで、MOSFET Q3のターンオフ時のスイッチング損失は発生しない。パルス出力電圧Bが低電位となるd2時点では、パルス出力電圧Eも低電位となり、MOSFET Q4はOFFして非導通状態となる。MOSFET Q4のターンオフ時には、MOSFET Q4によるスイッチング損失が発生する。

【0035】この実施の形態の場合には、主スイッチのMOSFET Q3にスイッチングスピードは比較的遅いが、ON抵抗の低いMOSFETを使用し、MOSFET Q4にON抵抗は比較的高いが、スイッチングスピードの速いMOSFETを使用する。

【0036】ターンオン時とターンオフ時のスイッチング損失は、MOSFET Q4によるスイッチング損失のみであり、またMOSFET Q4はスイッチングスピードの速いMOSFETであるため、スイッチング損失を低く抑えることができる。MOSFET Q3及びQ4がONしている時の導通損失は、MOSFET Q3のON抵抗は低く、またMOSFET Q3とMOSFET Q4が並列に接続されているため、低く抑えることができる。

【0037】よって、このことから主スイッチのMOSFETの損失を低く抑えることが可能となり、電源装置の効率を向上させることができる。なお、この実施の形態の場合、第1の実施の形態と比較して、導通損失をより減少させられることが期待できる。但し、主スイッチ制御回路11のタイミングのとり方は、主スイッチ制御回路10に比べて複雑になる。

【0038】図7は、第3の実施の形態を示す図である。次に、図7を用いて第3の実施の形態の構成について以下に説明する。この実施の形態において、主スイッチ制御回路12は、制御回路1と、遅延回路4、遅延回路5、排他的論理和回路EX-OR1からなる制御回路3で構成されている。なお、第1、2の実施の形態と同一の構成要件については、同一の符号を付している。

【0039】電圧源V1のマイナス端子はGNDに接続

され、プラス端子はコンデンサC5の一端に接続されている。コンデンサC1の他端はGNDに接続されている。電圧源V3のプラス端子とコンデンサC5の接続点は、主トランジスト3の1次巻線N1の正極に接続される。1次巻線N1の負極は、MOSFETQ5及びMOSFETQ6のドレインに接続される。MOSFETQ5及びMOSFETQ6のソースはGNDに接続される。なお、トランジスト1の2次側以降の構成は、第1の実施の形態と同一であり説明を省略する。

【0040】次に主スイッチ制御回路12の構成について説明する。制御回路1の出力端子は、排他的論理回路Ex-OR1の1つの入力端子と遅延回路4の入力端子に接続される。遅延回路4の出力端子は、MOSFETQ5のゲート及び遅延回路5の入力端子に接続される。また遅延回路5の出力端子は、Ex-OR1の他方の入力端子に接続される。更に、排他的論理回路Ex-OR1の出力端子はMOSFETQ6のゲートに接続される。図8は、第3の実施の形態の動作波形を示している。図8を用いて、第3の実施の形態の動作について以下に説明する。

【0041】制御回路1により得られるパルス出力電圧Aが高電位となるa3時点には、パルス出力電圧Aを遅延回路4と遅延回路5で位相を遅らせたパルス出力電圧Fと、パルス出力電圧Aとの排他的論理回路Ex-OR1のパルス出力電圧Gは高電位となる。この時、MOSFETQ6はONして導通状態となり、MOSFETQ6のドレイン・ソース間にドレイン電流I6が流れ。またこの時に、MOSFETQ5及びMOSFETQ6のドレイン・ソース電圧Cが低電位となり、MOSFETQ6のターンオン時にMOSFETQ6によるスイッチング損失が発生する。

【0042】パルス出力電圧Aを遅延回路4で位相を遅らせた、パルス出力電圧Bが高電位となるb3時点では、MOSFETQ5がONして導通状態となり、MOSFETQ5のドレイン・ソース間にドレイン電流I5が流れ。この時はすでにMOSFETQ5のドレイン・ソース電圧は低電位となっているため、MOSFETQ5のターンオン時のスイッチング損失は発生しない。

【0043】パルス出力電圧Gが低電位となるc3時点では、MOSFETQ6はOFFして非導通状態となる。この時、MOSFETQ6のドレイン・ソース電圧Cは低電位になったままなので、MOSFETQ6のターンオフ時のスイッチング損失は発生しない。

【0044】MOSFETQ5が導通状態で、MOSFETQ6が非導通状態であるc3時点からd3時点の間は、MOSFETQ5のみの導通損失となる。

【0045】パルス出力電圧Gが高電位となるd3時点は、MOSFETQ6がONして導通状態となるが、この時MOSFETQ6のドレイン・ソース電圧Cは低電位のままであり、MOSFETQ6のターンオン時のス

10 イッティング損失は発生しない。パルス出力電圧Bが低電位となるe3時点では、MOSFETQ5がOFFして非導通状態となるが、この時MOSFETQ5のドレイン・ソース電圧Cは低電位のままであり、MOSFETQ5のターンオフ時のスイッチング損失は発生しない。

【0046】パルス出力電圧Gが低電位となるf3時点では、MOSFETQ6はOFFして非導通状態となり、MOSFETQ5及びMOSFETQ6のドレイン・ソース電圧Cは高電位となる。この時、MOSFETQ6のターンオフ時にMOSFETQ6によるスイッチング損失が発生する。

【0047】この実施の形態の場合、主スイッチのMOSFETQ5にスイッチングスピードは比較的遅いが、ON抵抗の低いMOSFETを使用し、またMOSFETQ6にON抵抗は比較的高いが、スイッチングスピードの速いMOSFETを使用する。

【0048】このことによって、ターンオン時はa3時点、ターンオフ時はf3時点のスイッチング損失は、スイッチングスピードの速いMOSFETQ6による損失のみであり、低く抑えられる。また、主スイッチのMOSFETQ5がONしているc3時点からd3時点の導通損失は、ON抵抗の高いMOSFETQ6はOFFしていて、ON抵抗の低いMOSFETQ5のみの損失であるため、低く抑えられる。よって、主スイッチのMOSFETでの損失を低く抑えることができ、電源装置の効率が向上される。この実施の形態の場合、導通損失は第1、2の実施の形態の場合に比べて更に低く抑えることが期待できるが、主スイッチ制御回路12のタイミングのとり方はより複雑となる。

【0049】第1、2、3の実施の形態では、1石フォワード型の電源装置に適用したが、この発明はこれに限るものではなく、ハーフブリッジ型やフルブリッジ型の電源装置にも適用できる。また、電圧降圧型に限るものではなく、昇圧型や昇降圧型にも適用できる。また、絶縁や非絶縁に限定されるものではない。更には、これらの実施の形態では、電源装置の主スイッチ制御回路に適用しているが、これに限らず保護回路や他の制御回路にも適用することができる。

【0050】なお、遅延回路は論理回路を用いて構成しているが、他の論理ゲート回路やコンパレータ等で構成することも可能である。

【0051】

【発明の効果】この発明によれば、主スイッチのMOSFETとして、スイッチングスピードは速いがON抵抗は比較的高いものと、ON抵抗は低いがスイッチングスピードは比較的遅いものとを、複数個を並列に組み合わせて接続して、それらのON-OFF制御のタイミングをずらすことにより、主スイッチのスイッチング損失を低く抑え、かつ導通損失も低く抑えることが可能となる。このことにより、電源装置の効率が向上する。

【図面の簡単な説明】

【図1】第1の実施の形態の回路構成を示す図

【図2】第1の実施の形態の主スイッチ制御回路の動作波形を示す図

【図3】遅延回路を示す図

【図4】遅延回路の動作波形を示す図

【図5】第2の実施の形態の回路構成を示す図

【図6】第2の実施の形態の主スイッチ制御回路の動作波形を示す図

【図7】第3の実施の形態の回路構成を示す図

【図8】第3の実施の形態の主スイッチ制御回路の動作波形を示す図

【図9】従来の主スイッチ制御回路構成を示す図

【図10】従来の主スイッチ制御回路の動作波形を示す図

【図11】主スイッチから発生するスイッチング損失と導通損失を示す図

【符号の説明】

1 …制御回路

2、3 …遅延制御回路

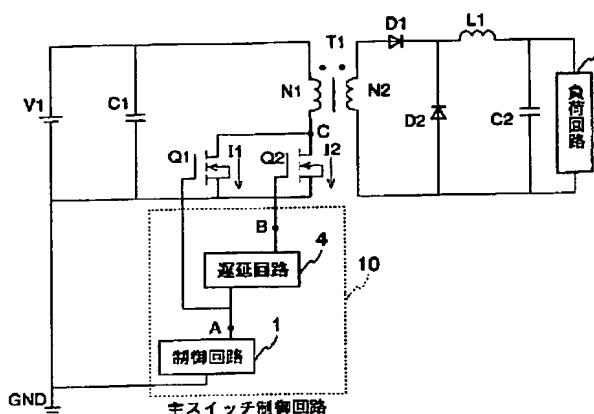
4、5 …遅延回路

6 …負荷回路

10

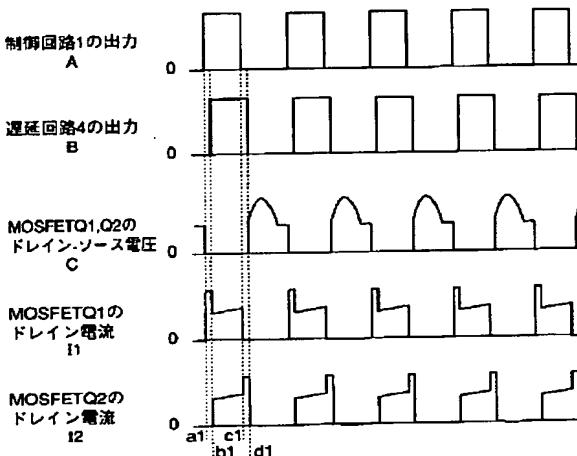
10、11、12 …主スイッチ制御回路

【図1】



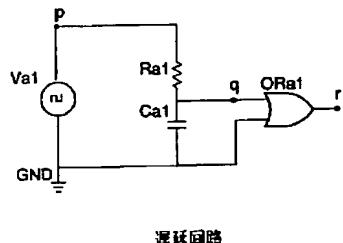
第1の実施の形態の回路構成

【図2】

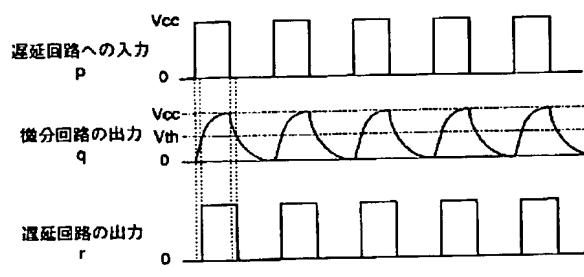


第1の実施の形態の主スイッチ制御回路の動作波形

【図3】

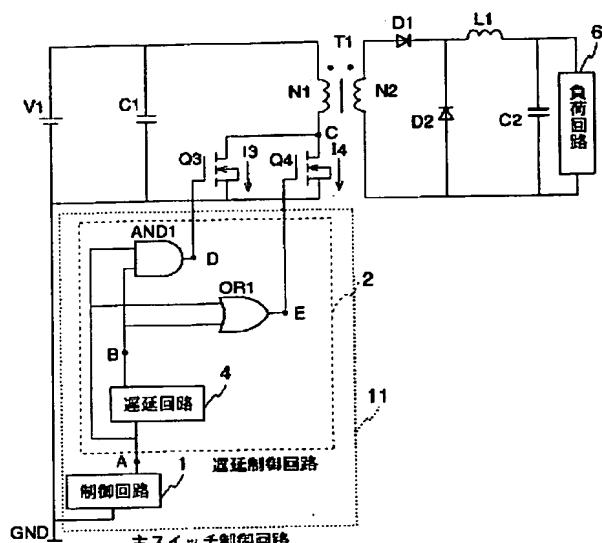


【図4】



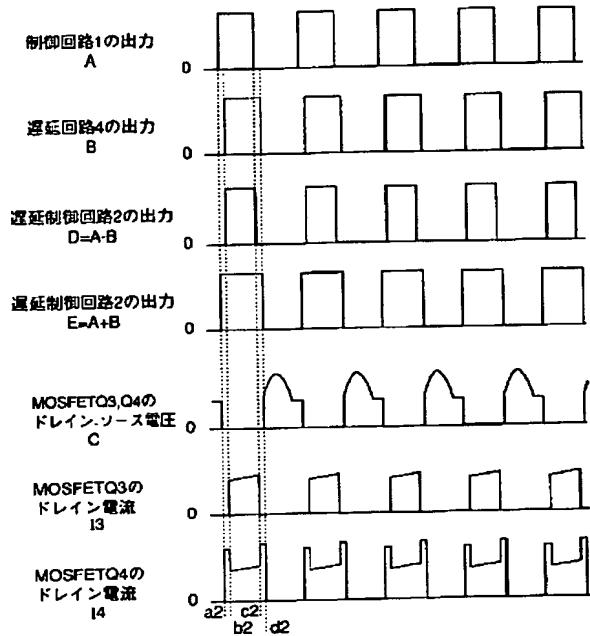
遅延回路の動作波形

【図5】



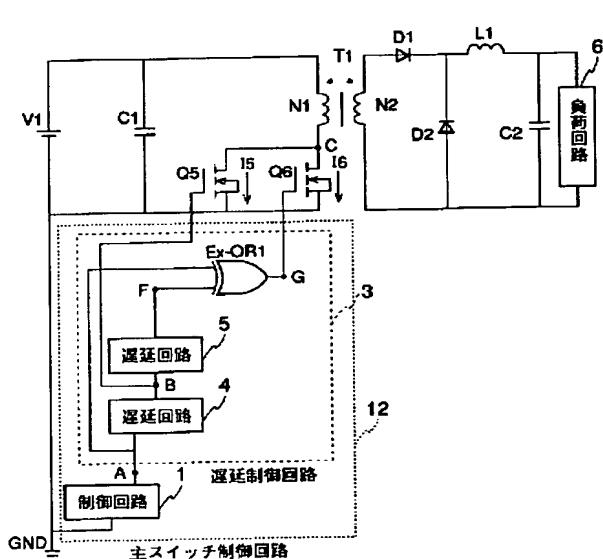
第2の実施の形態の回路構成

【図6】



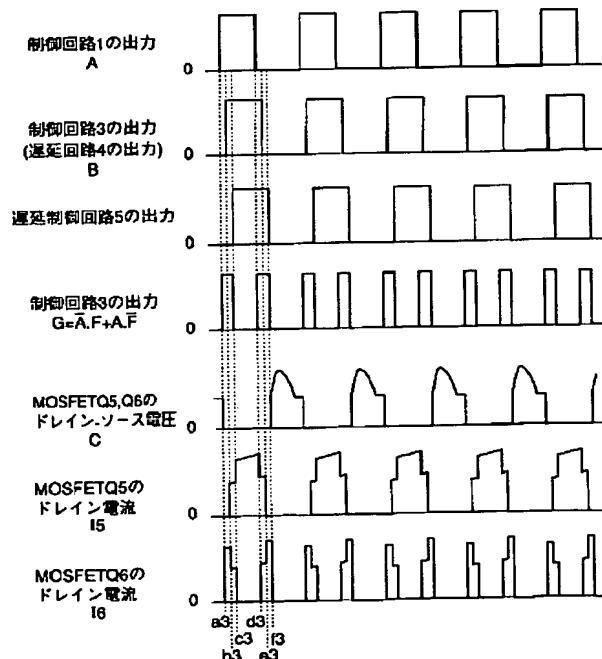
第2の実施の形態の主スイッチ制御回路の動作波形

【図7】



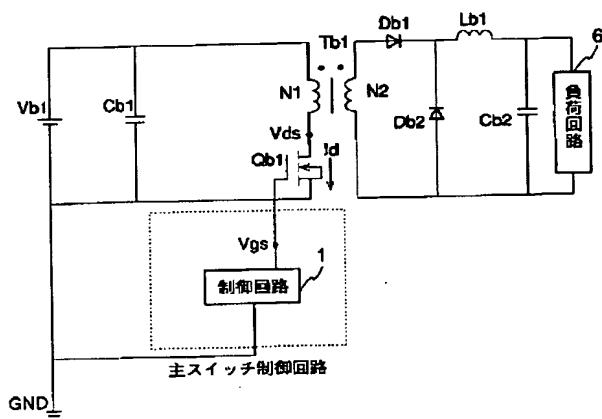
第3の実施の形態の回路構成

【図8】



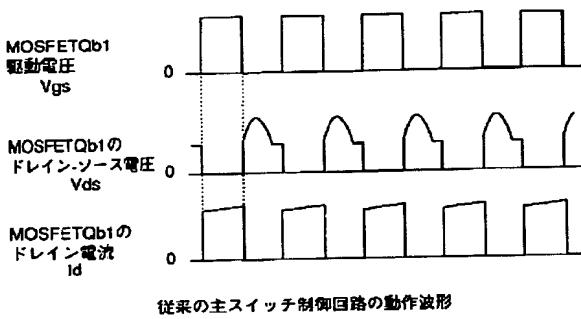
第3の実施の形態の主スイッチ制御回路の動作波形

【図9】



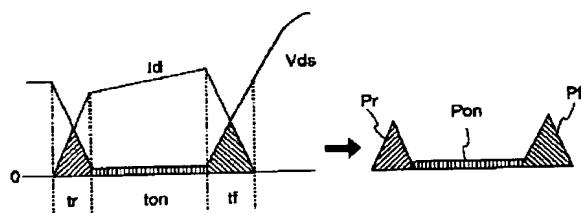
従来の主スイッチ制御回路構成

【図10】



従来の主スイッチ制御回路の動作波形

【図11】



主スイッチから発生するスイッチング損失と導通損失